

**UNIVERSIDADE FEDERAL DO ESPÍRITO SANTO
CENTRO TECNOLÓGICO
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PROJETO DE GRADUAÇÃO**



DIOGO MARINS DALLAPICULA

**PROJETO E DESENVOLVIMENTO DO CIRCUITO DE
CHAVEAMENTO DE UM CONVERSOR MULTINÍVEL
MODULAR UTILIZANDO FPGA**

VITÓRIA – ES
02/2017

DIOGO MARINS DALLAPICULA

**PROJETO E DESENVOLVIMENTO DO CIRCUITO DE
CHAVEAMENTO DE UM CONVERSOR MULTINÍVEL MODULAR
UTILIZANDO FPGA**

Parte manuscrita do Projeto de Graduação do aluno **Diogo Marins Dallapicula**, apresentado ao Departamento de Engenharia Elétrica do Centro Tecnológico da Universidade Federal do Espírito Santo, como requisito parcial para obtenção do grau de Engenheiro Eletricista.

Orientador: Prof. Dr. Lucas Frizera
Encarnação

DIOGO MARINS DALLAPICULA

**PROJETO E DESENVOLVIMENTO DO CIRCUITO DE CHAVEAMENTO DE UM
CONVERSOR MULTINÍVEL MODULAR UTILIZANDO FPGA**

Parte manuscrita do Projeto de Graduação do aluno **Diogo Marins Dallapicula**, apresentado ao Departamento de Engenharia Elétrica do Centro Tecnológico da Universidade Federal do Espírito Santo, como requisito parcial para obtenção do grau de Engenheiro Eletricista.

Aprovada em 23, de fevereiro de 2017.

COMISSÃO EXAMINADORA:

Prof. Dr. Lucas Frizera Encarnação
Universidade Federal do Espírito Santo – UFES
Orientador

Prof. M. Renner Sartório Camargo
Instituto Federal do Espírito Santo – IFES
Examinador

Prof. M. Weder Tótola Nunes
Instituto Federal do Espírito Santo – IFES
Examinador

Agradecimentos

Agradeço em especial a minha família por todo o carinho, suporte, paciência, cuidado, incentivo, conversas e apoio. Sem eles essa jornada não seria possível e se cheguei onde estou devo em grande parte a presença deles constantemente na minha vida.

Gostaria de agradecer ao Prof. Lucas Frizera Encarnação, Renner Sartório Camargo e Weder Tótola Nunes pela inspiração, disponibilidade e conselhos dados ao longo deste trabalho.

Finalmente, aos meus colegas de curso tenho de agradecer todo o apoio dado ao longo destes anos de estudo e união e por tudo que fizeram para o sucesso deste trabalho. Em especial gostaria de citar entre esses alguns amigos: Renan Botan, Stefanie Schwab, Willian Garcia, Izabela Paulino, Lorenzo Scandian e Vinicius Viana pelos momentos de estudo, discussões e trabalhos desenvolvidos em conjunto, pelos incentivos e pela amizade construída ao longo desses cinco, seis, sete ou mais anos de curso e principalmente pelos momentos de lazer e descontração.

Resumo

Conversores de energia que ofereçam melhor qualidade de energia estão se tornando imprescindíveis com o avanço da eletrônica embarcada, que melhoram a performance de diversos equipamentos porém o tornam mais sensíveis aos ruídos da rede elétrica. Para atender essa demanda em média e alta potência diversos conversores tem sido estudados e propostos pela comunidade de eletrônica de potência. Com o avanço da eletrônica no ramo de potência com o desenvolvimento de transistor como IGBT's e MOSFET's uma nova classe de conversores conhecida como conversores multiníveis tem se destacado pela eficiência e robustez.

Este trabalho apresenta a implementação de protótipo de um conversor modular de cinco níveis em malha aberta implementados com MOSFET's e controlados por uma FPGA. Utilizando da linguagem de programação VHDL é possível desenvolver um *hardware* que implemente as modulações conhecida como PDPWM e PSCPWM, necessária para acionamento de tal conversor. Dessa forma, é possível demonstrar o conteúdo harmônico presente no resultado da conversão de energia deste conversor e seu comportamento em função de seus parâmetros de modulação.

LISTA DE FIGURAS

Figura 1: Conversor de (a) dois níveis (b) três níveis (c) n níveis.....	10
Figura 2: Módulo básico de um MMC-chopper	12
Figura 3: MMC de sete níveis com destaque para célula básica	13
Figura 4: Classificação das estratégias Modulares Multiníveis.....	14
Figura 5: Modulação <i>Staircase</i>	15
Figura 6: Geração do PWM e Sinal PWM de dois níveis	16
Figura 7: Portadoras triangulares distribuídas no tempo e em amplitude	17
Figura 8: Placa FPGA Nexys 2.....	19
Figura 9: Diagrama do circuito de chaveamento do PSCPWM	20
Figura 10: Detalhe dos componentes do PSCPWM	21
Figura 11: Detalhe da geração das ondas triangulares para PSCPWM.....	23
Figura 12: Detalhe da geração das ondas triangulares para PDPWM.....	24
Figura 13: Senoides geradas no FPGA.....	26
Figura 14: Circuito completo da célula básica	28
Figura 15: Interconexão de todos os elementos.....	29
Figura 16: Circuito do conversor, FPGA e fontes de tensão	29
Figura 17: Circuito do Conversor e Osciloscópio	30
Figura 18: Sinal de chaveamento, senoide e portadoras para modulação PDPWM.....	31
Figura 19: Detalhe do chaveamento no semiciclo positivo	31
Figura 20: Detalhe do chaveamento no semiciclo negativo	32
Figura 21: Sinal de tensão e espectro harmônico sob modulação PDPWM com variação da frequência da portadora	33
Figura 22: Sinal de tensão e espectro harmônico sob modulação PDPWM com variação do índice de modulação	35
Figura 23: Sinal de chaveamento, senoide e portadoras para modulação PSCPWM.....	37
Figura 24: Detalhe do chaveamento da modulação PSCPWM para os módulos 1 e 2	37
Figura 25: Detalhe do chaveamento da modulação PSCPWM para os módulos 3 e 4	38
Figura 26: Resultado da modulação PSCPWM com variação da frequência da portadora.....	39
Figura 27: Resultado da modulação PSCPWM com variação do índice de modulação	41

LISTA DE ABREVIATURAS E SIGLAS

FPGA	<i>Field Programable Gate Array</i>
PWM	<i>Pulse width modulation</i>
DSP	<i>Digital Signal Processor</i>
VHDL	<i>VHSIC Hardware Description Language</i>
MMC	<i>Modular Multilevel Conversor</i>
CC	<i>Corrente Contínua</i>
CA	<i>Corrente Alternada</i>
PSCPWM	<i>Phase Shifted Carrier Pulse width modulation</i>
PDPWM	<i>Phase Disposition Pulse width modulation</i>
APODPWM	<i>Alternative Phase Opposition Disposition Pulse width modulation</i>
PODPWM	<i>Phase Opposition Disposition Pulse width modulation</i>
FFT	<i>Fast Fourier Transform</i>

SUMÁRIO

1	INTRODUÇÃO	8
1.1	Justificativa.....	9
1.2	Objetivo Geral	9
1.3	Objetivos Específicos	9
2	OS CONVERSORES MULTINÍVEIS.....	10
2.1	O Conversor multinível modular chopper.....	12
2.2	Estratégia de Modulação	13
3	O FPGA	18
3.1	– Modulo Onda triangular	22
3.2	– Modulo Onda senoidal	24
3.3	– Modulo Central.....	26
4	RESULTADOS.....	28
4.1	- O circuito.....	28
4.2	– Modulação PDPWM	30
4.2.1	– Análise da variação da frequência da portadora.....	32
4.2.2	– Análise da variação do índice de modulação - PDPWM	34
4.3	– Modulação PSCPWM	36
4.3.1	– Análise da variação da frequência da portadora.....	38
4.3.2	– Análise da variação do índice de modulação - PSCPWM	40
4.4	– Resultado do DTH.....	42
5	CONCLUSÃO	43
	BIBLIOGRAFIA	44

1 INTRODUÇÃO

O crescente número de equipamentos como bombas, laminadores, compressores e afins, cada vez mais presentes nos parques industriais, faz crescer a demanda de potência e, por consequência, o aumento no nível de tensão de operação desses equipamentos. Além disso, a eletrônica embarcada nestes equipamentos vem crescendo e levando uma busca por melhora na qualidade da energia elétrica a fim de preservar ou até mesmo viabilizar o uso de equipamentos mais eficientes e precisos, porém sensíveis a distorções na rede elétrica.

Nesse contexto, os processos de conversão de energia elétrica merecem atenção, em especial os conversores que entregam energia em corrente alternada, pois são muito mais complexos do que os conversores que envolvem a transformação para corrente contínua. (CAMARGO, 2015) Alinhado a essa necessidade, diversos estudos surgiram a fim de propor soluções para as dificuldades supracitadas. Desta forma, surge o conceito de conversores multiníveis em 1981 em artigo publicado por *Nabae, Takahshi e Akagi* com a proposta de uma topologia de diodos ligados ao ponto neutro (NABAE, TAKAHSHI e AKAGI, 1981).

A comunidade de eletrônica de potência percebeu nesses conversores o potencial de solucionar problemas de baixa qualidade de energia e de eficiência energética. Ainda que as chaves semicondutoras atualmente operem em uma faixa limitada de tensão tais conversores permitem alcançar uma saída de média ou até alta tensão, superior as suportadas por cada elemento semiconductor individualmente. Através da conexão e acionamento específico de cada uma das referidas chaves os conversores multiníveis representam uma alternativa interessante no controle de fluxo de potência em média tensão.

Com a subsequente evolução da eletrônica, o aparecimento de semicondutores de potência mais rápidos, com tensões de bloqueio maiores e a menores custos, aliados à redução do custo para se implementar uma lógica de controle para um número elevados de interruptores torna essa categoria de conversor uma alternativa viável e ainda mais popular.

Para esse tipo de aplicação, o uso de FPGA se torna interessante por permitir gerar simultaneamente diversos sinais PWM. Em muitos casos o FPGA permite a implementação de diversos circuitos em uma escala que não é facilmente encontrada em demais microcontroladores como os DSP's. A flexibilidade e a velocidade que o FPGA permite na criação de circuitos permite reduzir custos de prototipagem, agilizar o processo de testes e permitir uma rápida evolução do circuito com a alteração de algumas linhas de códigos.

A arquitetura de um *hardware* descrito em linguagem VHDL para então futura implementação no FPGA desse sistema de acionamento para cada uma das chaves é o objetivo desse trabalho.

1.1 Justificativa

O projeto aqui proposto pretende esclarecer e explicar a construção de um conversor CC-CA de topologia multinível modular que permita atender a demanda por conversores capazes de operar em alta e média tensão entregando energia com baixo conteúdo harmônico e por consequência elevado fator de qualidade.

1.2 Objetivo Geral

O objetivo geral desse projeto consiste em construir um conversor multinível modular de quatro módulos capaz de sintetizar até cinco níveis de tensão diferentes. Além disso também se busca a implementação do circuito de chaveamento do mesmo utilizando FPGA com duas técnicas de modulação diferentes, PSCPWM e PDPWM.

1.3 Objetivos Específicos

Os objetivos específicos deste projeto são:

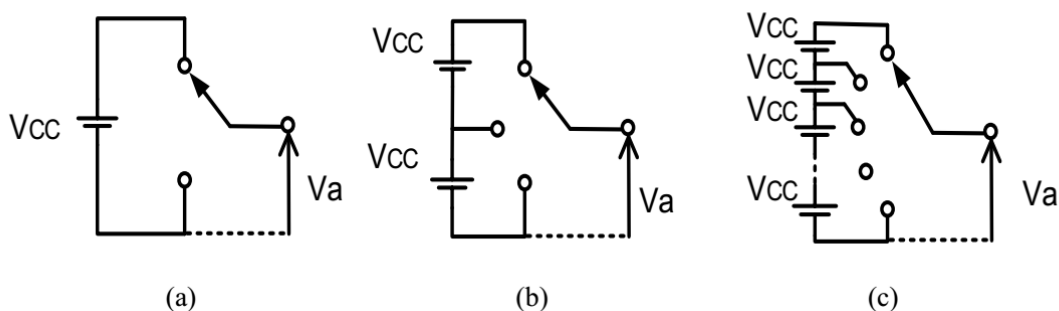
1. Implementar e configurar em VHDL os blocos necessários para produzir modulações PSCPWM;
2. Implementar e configurar em VHDL os blocos necessários para produzir modulações PDPWM;
3. Construir o circuito do conversor multinível modular;
4. Comparar o desempenho das técnicas de modulação PDPWM e PSCPWM;
5. Observar o comportamento do conversor em função dos índices de modulação;
6. Observar o comportamento do conversor em função da frequência das portadoras.

2 OS CONVERSORES MULTINÍVEIS

Os conversores eletrônicos de potência são uma família de circuitos elétricos que transformam energia elétrica de apenas um nível de tensão, corrente ou frequência em outra forma de onda, com diferentes níveis, utilizando eletrônica baseada em chaves semicondutoras que operam essencialmente em somente dois estados – completamente ligado (ON) ou completamente desligado (OFF). (CAMARGO, 2015)

Dentro dessa família de conversores, os conversores multiníveis têm se destacado quando se trata de alimentação de máquinas e equipamentos em tensões elevadas. Esses conversores têm a capacidade de sintetizar o sinal de saída em mais de dois níveis por meio de comutação de chaves de potência, acrescentando ou subtraindo fontes de corrente contínua. (ENCARNAÇÃO, 2009) A fim de ilustrar esse conceito, a Figura 1 apresenta de forma resumida um conversor monofásico com dois e três níveis de tensão, e um com “ n ” níveis de tensão respectivamente.

Figura 1: Conversor de (a) dois níveis (b) três níveis (c) n níveis



Fonte: (CAMARGO, 2015)

Em relação aos conversores convencionais, os conversores multiníveis apresentam diversas vantagens a saber:

- Capacidade de sintetizar níveis de tensões de saída maiores;
- Utilização de dispositivos semicondutores de menor potência;
- Forma de onda com um conteúdo harmônico reduzido, reduzindo necessidade de filtros;
- Redução do estresse de tensão nas chaves semicondutoras;
- E redução de frequência de chaveamento em cada componente.

Obviamente existe o contraponto, os benefícios de um conversor multinível também acarreta em algumas desvantagens, sendo a principal delas o controle mais complexo devido ao maior número de chaves e níveis, dessa forma é necessário encontrar um ponto de equilíbrio entre as capacidades e limitações do conversor e o recurso computacional disponível. Por outro lado com o avanço da eletrônica algumas limitações têm sido facilmente contornadas com dispositivos semicondutores que suportam potências cada vez mais elevadas e operam com maior frequência de comutação e o desenvolvimento de circuitos eletrônicos cada vez mais eficiente, velozes e flexíveis, como por exemplos os FPGA's e os DSP's.

Entre as topologias de conversores multiníveis mais difundidas na literatura estão os grampeados a diodo, os grampeados a capacitor, os conversores em cascata simétrico e os conversores em cascata assimétrico. Este trabalho versará sobre uma classe conhecida como conversores multiníveis modulares na configuração *chopper*.

A tabela a seguir diz respeito ao número de elementos necessários para um conversor de m níveis para as topologias mais comuns na literatura.

Tabela 1 Quantidade de elementos de cada conversor

<i>Conversor</i>	<i>Chaves Controladas</i>	<i>Capacitores flutuantes</i>	<i>Diodos em antiparalelo</i>	<i>Diodos de grampeamento</i>
<i>Grampeado a diodo</i>	$2(m-1)$	0	$2(m-1)$	$(m-1)(m-2)$
<i>Grampeado a capacitor</i>	$2(m-1)$	$\frac{(m-1)(m-2)}{2}$	$2(m-1)$	0
<i>Cascata assimétrico</i>	$4\log_3(m)$	0	$4\log_3(m)$	0
<i>MMC-Chopper</i>	$2(m-1)$	0	$2(m-1)$	0

Fonte: (CAMARGO, 2015) – adaptado pelo autor

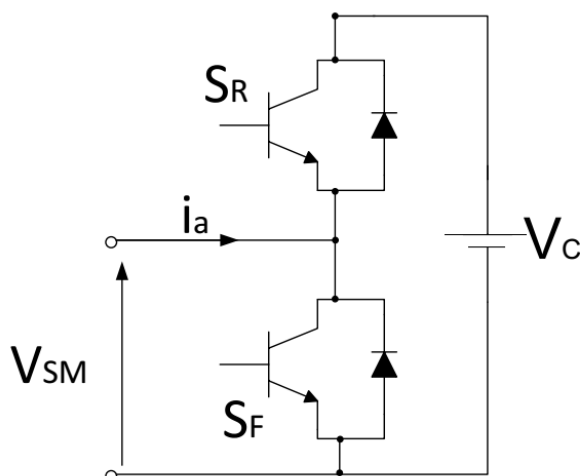
Dentre todos os conversores citados na seção anterior os conversores modulares, como o próprio nome indica, permitem acrescentar níveis de tensão com adição de módulos mantendo o crescimento linear do número de elementos que compõe o circuito em função do número de níveis. Apesar dos conversores assimétricos serem capazes de sintetizar mais níveis de tensão

com menos componentes (crescimento logarítmico do número de componentes) estes conversores têm a desvantagem de não poderem ser usado em módulos (CAMARGO, 2015).

2.1 O Conversor multinível modular chopper

A topologia básica desse conversor consiste de módulos idênticos compostos por uma fonte de tensão CC (em muitos casos é utilizado um capacitor com tensão controlado por *software*) e duas chaves semicondutoras como pode ser observado na Figura 2.

Figura 2: Módulo básico de um MMC-chopper



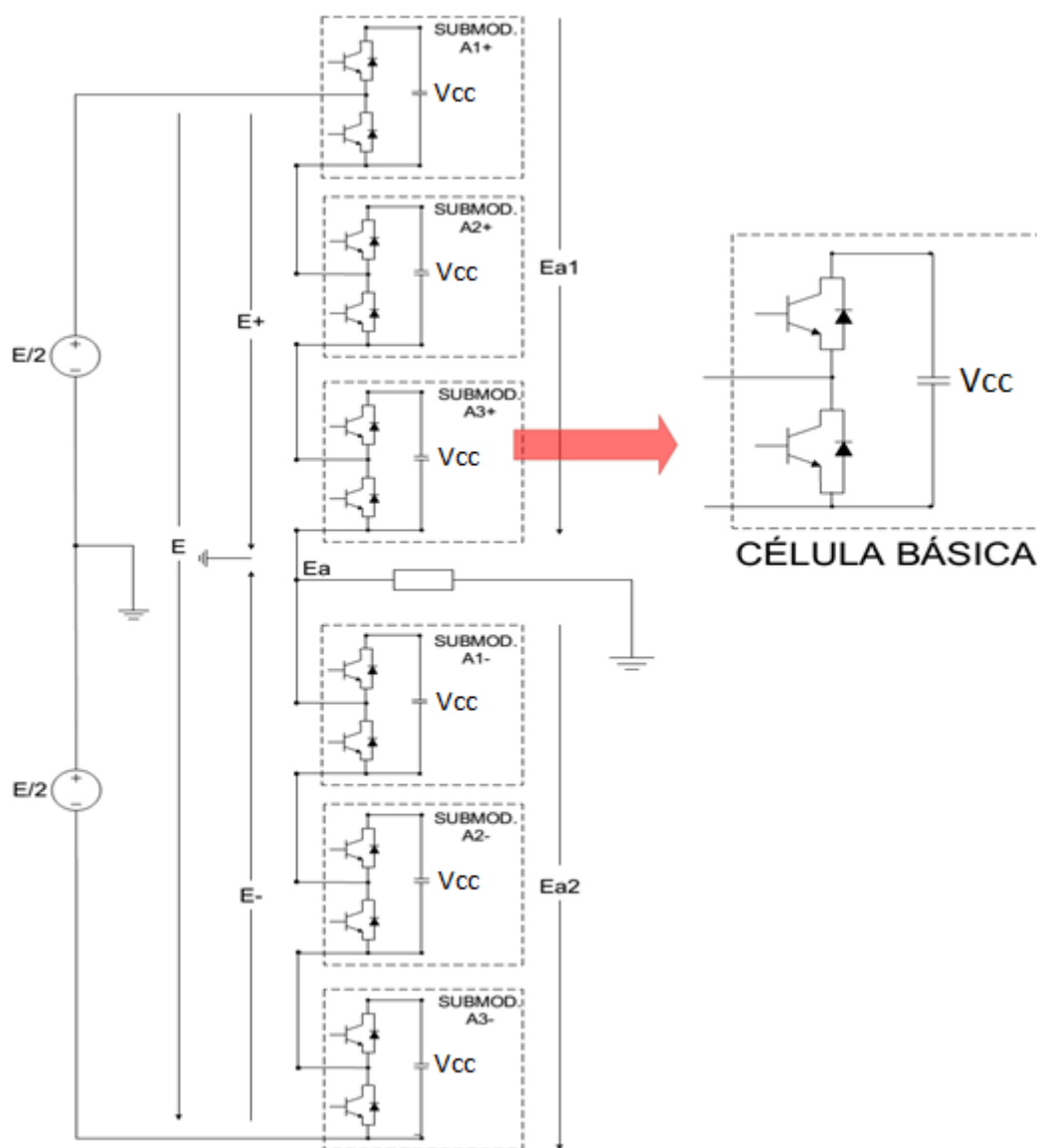
Fonte: (CAMARGO, 2015), adaptado pelo autor

As chaves operam em somente dois estados, completamente ligado (*ON*) ou completamente desligado (*OFF*), e são acionadas em oposição de fase. Logo, a tensão de saída V_{sm} pode assumir valores $0V$ e V_C .

Associando os módulos em série é possível obter mais níveis de tensão. Quando a chave S_F está ligada e a S_R desligada a contribuição da célula para o conversor é nula, mas permite que a célula no conversor funcione como *by-pass*. Quando ocorre a situação contrária o conversor contribui então com a tensão V_C . Dessa forma para atingir tensões negativas com esse conversor seria necessário adicionar uma referência de tensão zero (terra) no centro do conversor como pode ser observado na Figura 3 que apresenta um conversor de seis módulos. Dessa forma o sinal da tensão que cada célula estaria contribuindo para a saída do conversor dependeria da sua “localização” em função do terra. Os níveis de tensão possíveis na saída da conversão é a dada

então pela soma das possíveis tensões de cada módulo em função dessa nova referência e pode ser resumida no seguinte vetor: $[-3V_{cc}, -2V_{cc}, -V_{cc}, 0, +V_{cc}, +2V_{cc}, +3V_{cc}]$ (CAMARGO, 2015). É fácil notar que um conversor de N módulos conectados em série pode gerar $(N + 1)$ diferentes níveis de tensão. (HOLMES e MCGRATH, 2001)

Figura 3: MMC de sete níveis com destaque para célula básica



Fonte: (CAMARGO, 2015), adaptado

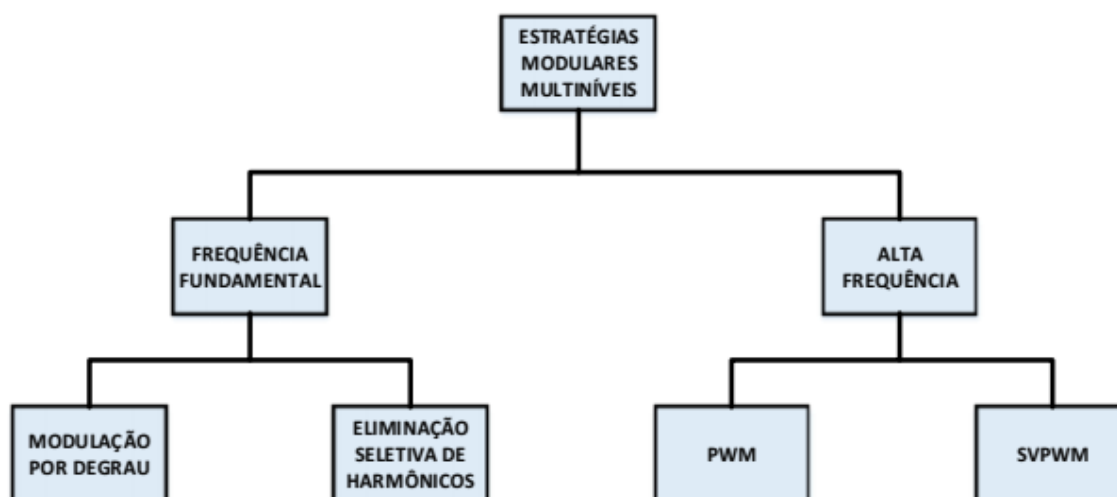
2.2 Estratégia de Modulação

O processo de chaveamento dos componentes eletrônicos de um conversor de potência é chamado de modulação e o desenvolvimento de estratégias otimizadas para implementação

destes processos foram alvos de intensa pesquisa internacional nos últimos trinta anos (HOLMES e LIPO, 2003).

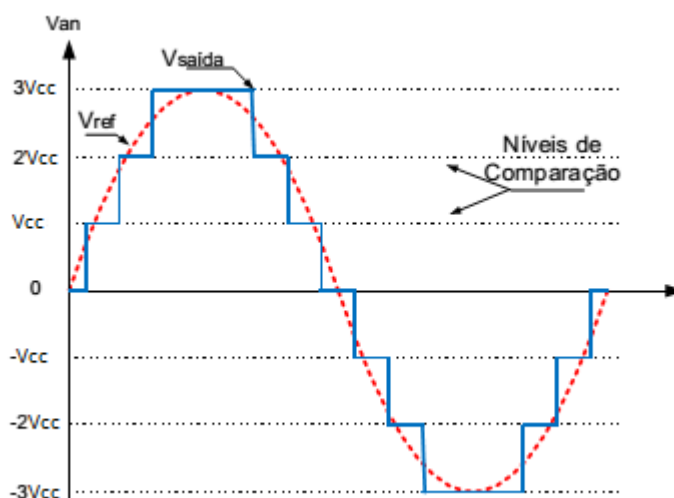
As técnicas existentes na literatura para obtenção dos sinais de chaveamento podem ser divididas em duas categorias: as técnicas de chaveamento em baixa frequência, onde o estado nas chaves não se altera mais do que uma dezena de vezes em um ciclo de onda e a as técnicas de alta frequência, onde as chaves alteram de estado com maior frequência com dezenas ou até mais do que centenas de chaveamentos por ciclos. Na Figura 4 pode-se observar a classificação de algumas técnicas de modulação mais conhecidas divididas pela frequência de chaveamento.

Figura 4: Classificação das estratégias Modulares Multiníveis



Fonte: (ENCARNAÇÃO, 2009)

Para as estratégias de modulação de baixa frequência, ou de frequência fundamental, destacam-se a modulação por degrau (LAI e PENG, 1996) ilustrada na Figura 5 e a eliminação seletiva dos harmônicos (LI, CZARKOWSKY, *et al.*, 2002) .

Figura 5: Modulação *Staircase*

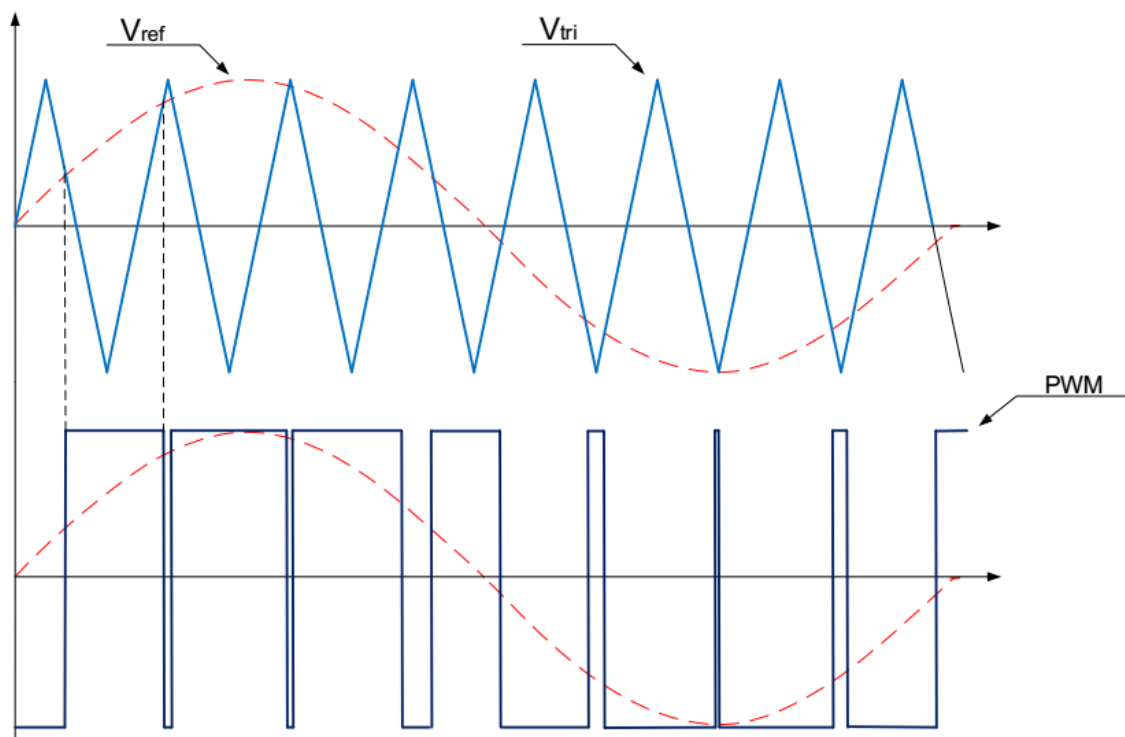
Fonte: (ENCARNAÇÃO, 2009), adaptado

Em geral as técnicas de baixa frequência foram as primeiras implementadas historicamente. Contudo, com a evolução da tecnologia dos dispositivos semicondutores, as técnicas de alta frequência surgem como uma opção mais interessante pois apresentam conteúdo harmônico menor em relação as técnicas de baixa frequência e por consequência ganho na eficiência do conversor. (ENCARNAÇÃO, 2009)

A estratégia de modulação de alta frequência mais utilizada nos meandros das indústrias é a modulação de largura de pulso, usualmente aplicado para redução dos conteúdos harmônicos das tensões das cargas.

Resumidamente, a PWM se desenvolve como a comparação de um sinal de referência, que geralmente é uma onda senoidal, e uma onda portadora triangular de frequência elevada. Nos pontos em que há o cruzamento entre o sinal de referência e a portadora triangular fazem-se os instantes de chaveamento dos dispositivos semicondutores (CARRARA, CASSINI, *et al.*, 1993) (CARRARA, GARDELLA, *et al.*, 1992) (CAMARGO, 2015). O comportamento descrito anteriormente pode ser observado na Figura 6.

Figura 6: Geração do PWM e Sinal PWM de dois níveis



Fonte: (CAMARGO, 2015)

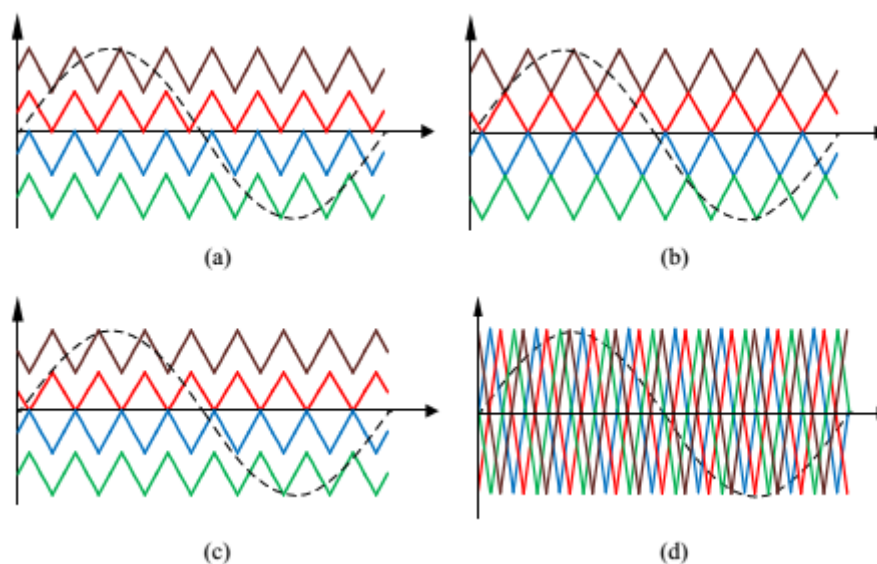
É fundamental que o PWM, através do trem de pulso, resulte em um sinal que tenha a média de tensão da onda fundamental da referência em qualquer instante (isto é, a integral da forma de onda de tensão ao longo do tempo se aproxima da forma de onda da referência). A maior preocupação quando se projeta um conversor é a geração de harmônicos indesejados que afetam negativamente a qualidade da energia. Determinar uma forma eficaz de chaveamento pode minimizar este aspecto, diminuir perdas na comutação ou então otimizar outros critérios que sejam vitais para a aplicação desejada.

Além disso as estratégias de modulação podem utilizar múltiplas portadoras (ondas triangulares) ou múltiplas referências. Para os conversores multiníveis as lógicas com apenas uma referência são mais simples e permitem maior liberdade ao manipular os parâmetros de frequência, amplitude e defasagem de cada portadora (CAMARGO, 2015).

Quando se utiliza múltiplas portadoras triangulares as mesmas podem estar defasadas em tempo e amplitude, como ilustrado na Figura 7. Cada uma dessas modulações recebe um nome específico, a saber:

- em (a) a PDPWM onde as portadoras são distribuídas na amplitude e estão dispostas em fase;
- em (b) a APODPWM onde as portadoras são distribuídas na amplitude do sinal de referência e cada portadora está em oposição de fase com as portadoras vizinhas;
- em (c) a PODPWM onde as portadoras são distribuídas na amplitude do sinal de referência e as portadora de magnitude negativa estão em oposição de fase com as portadoras de magnitude positiva;
- e em (d) a PSCPWM onde a defasagem ocorre apenas no tempo. (CAMARGO, 2015) (ENCARNAÇÃO, 2009)

Figura 7: Portadoras triangulares distribuídas no tempo e em amplitude



Fonte: (CAMARGO, 2015) – adaptado

Diversos estudos foram realizados comparando as estratégias de chaveamento PWM, com o objetivo de identificar qual estratégia possui o menor conteúdo harmônico (LEE, KIM e HYUN, 1999) (CARRARA, GARDELLA, *et al.*, 1992). Como resultado destes trabalhos, é conhecido que a modulação PDPWM apresenta um menor conteúdo harmônico na tensão de linha quando comparada com as outras estratégias. A grande vantagem dessa modulação é que ela concentra a energia harmônica em modo comum em cada ramo do conversor (V_{an} e V_{bn}). Portanto, essa energia é cancelada na tensão de linha ($V_{ab} = V_{an} - V_{bn}$). No caso dos conversores em cascata, a modulação mais utilizada nas aplicações industriais é a PSCPWM, onde uma referência senoidal é comparada com portadoras triangulares defasadas no tempo (Figura 7(d)).

O uso desta modulação melhora o conteúdo harmônico da tensão de cada ramo do conversor (V_{an} e V_{bn}), porém não melhora a tensão de linha da saída (V_{ab}) (ENCARNAÇÃO, 2009).

Nestas modulações que fazem uso de múltiplas portadoras e uma referência é possível estabelecer uma relação entre a amplitude da referência e a amplitude coberta por todas as portadoras. Este valor é denominado índice de modulação de amplitude, ou apenas índice de modulação e é dado por:

$$m_a = \left\| \frac{V_{ref}}{V_{tri}} \right\| \quad (1)$$

Onde,

m_a = índice de modulação de amplitude;

V_{ref} = Amplitude da onda de referencia;

V_{tri} = Amplitude da onda portadora.

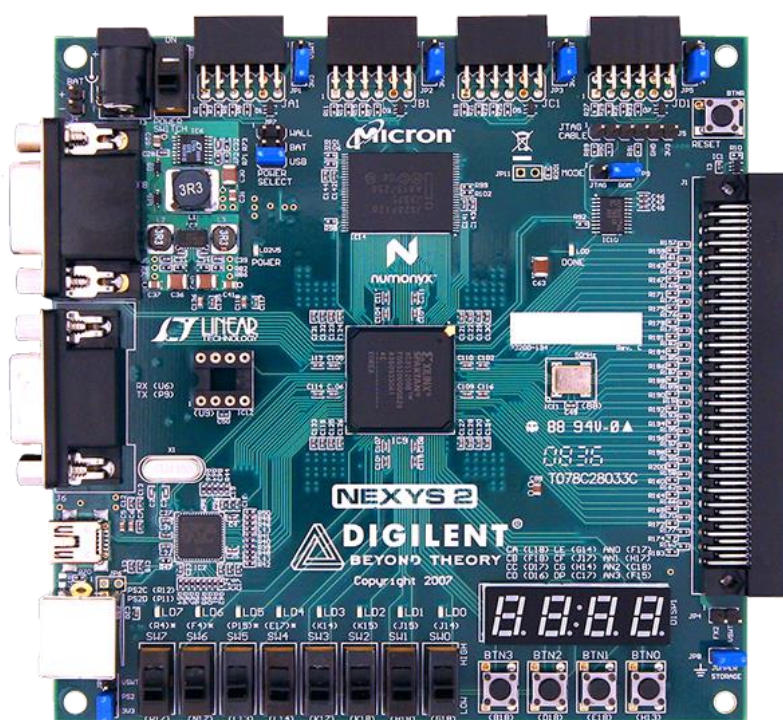
Como muitas vezes os conversores têm pouca margem para mudança de parâmetros, a relação acima permite um ajuste do conteúdo harmônico de forma simples, embora não possa ser feita de forma arbitrária. Cada conversor deve obedecer um limite mínimo para o valor deste índice a fim de preservar o número de módulos ativos e por consequência a qualidade da energia entregue pelo conversor (CAMARGO, 2015).

3 O FPGA

O FPGA é uma matriz de blocos lógicos (ou *slices*) programáveis que podem ser roteados a fim de gerar um *hardware* com funções personalizadas. De forma geral cada *slice* contém uma quantidade variável de LUT's (*LookUp Tables*), *flipflops*, multiplexadores e portas logicas simples que podem ser interconectados entre si e com outros *slices* para construir estruturas logicas mais complexas como LUTs de quatro entradas, registradores, contadores e memória RAM entre outras logicas extremamente comum e corriqueiras em circuitos digitais. Alguns FPGA's ainda trazem *slices* contendo recursos mais sofisticados, como multiplicadores, blocos de memória, gerenciadores digitais de *clock* ou outro recurso a fim de aumentar a eficiência para certas operações e aplicações.

É comum encontrar o FPGA em placas com diversos recursos adicionais, como se pode observar na Figura 8, a placa Nexys2 da DIGILENT que traz *display* de 7 segmentos, chaves, botões, conectores, memória RAM, sinal de *clock* de 50 MHz dentre outros recursos, que variam entre placas. (DIGILENT, 2010)

Figura 8: Placa FPGA Nexys 2



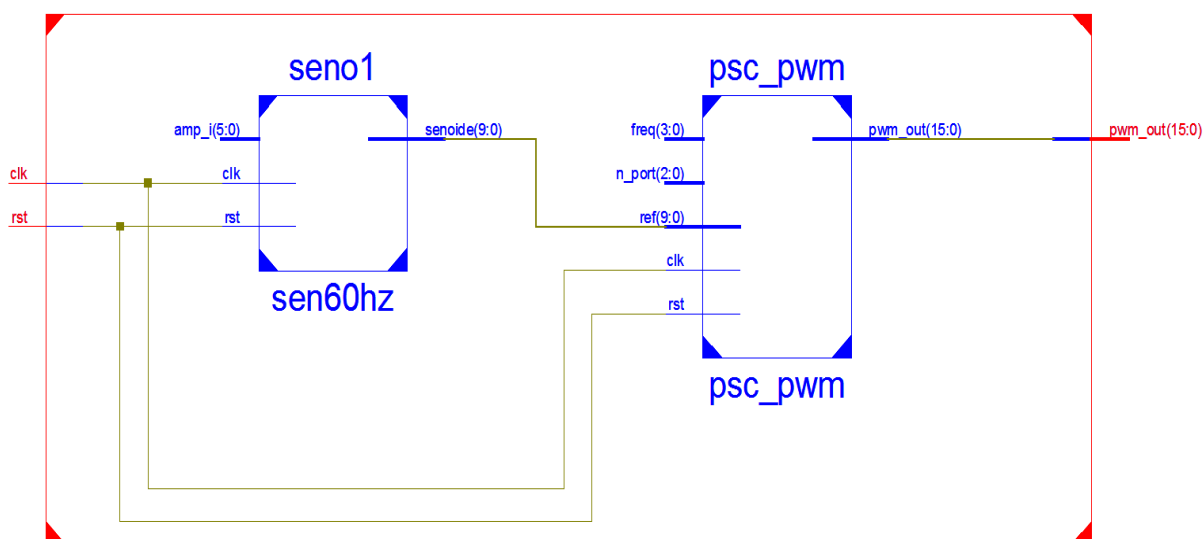
Fonte: (DIGILENT, 2010)

A possibilidade de desenvolver diversos tipos de *hardware* sobre um mesmo circuito quebra o paradigma da baixa flexibilidade dos *hardwares*. Outra vantagem que o FPGA traz ante a utilização de um DSP ou outros microcontroladores similares tem relação com o número limitado de portas próprias para PWM que de forma genérica raramente ultrapassa o número de 15 portas nos microcontroladores, o FPGA dispensa o uso de portas específicas para essa função. Isso se dá pelo fato que no FPGA pode ser implementado um número variável de PWM enquanto que os DSP trazem um número definido de circuitos de PWM independentes, para ultrapassar esse limite seria necessário implementar PWM virtuais cujo controle de temporização pode ser prejudicado para as demais funções esperadas do controlador ou prejudicial para a temporização do PWM.

A linguagem de programação VHDL permite descrever o comportamento desejado do *hardware* a ser desenvolvido e então após compilação em *software* adequado descarregar na FPGA um arquivo com as informações de roteamento a serem implementados. Completadas essa fase, o FPGA passa a ter o comportamento descrito pelo código em VHDL.

Sobre essa plataforma é possível desenvolver o circuito que gera as ondas triangulares, os comparadores e o sinal de referência senoidal, que é necessário para obtenção de chaveamento do MMC e recolher os dados de desempenho, que é a proposta desse trabalho. As figuras a seguir apresentam um diagrama que permite entender como essas estruturas estão conectadas.

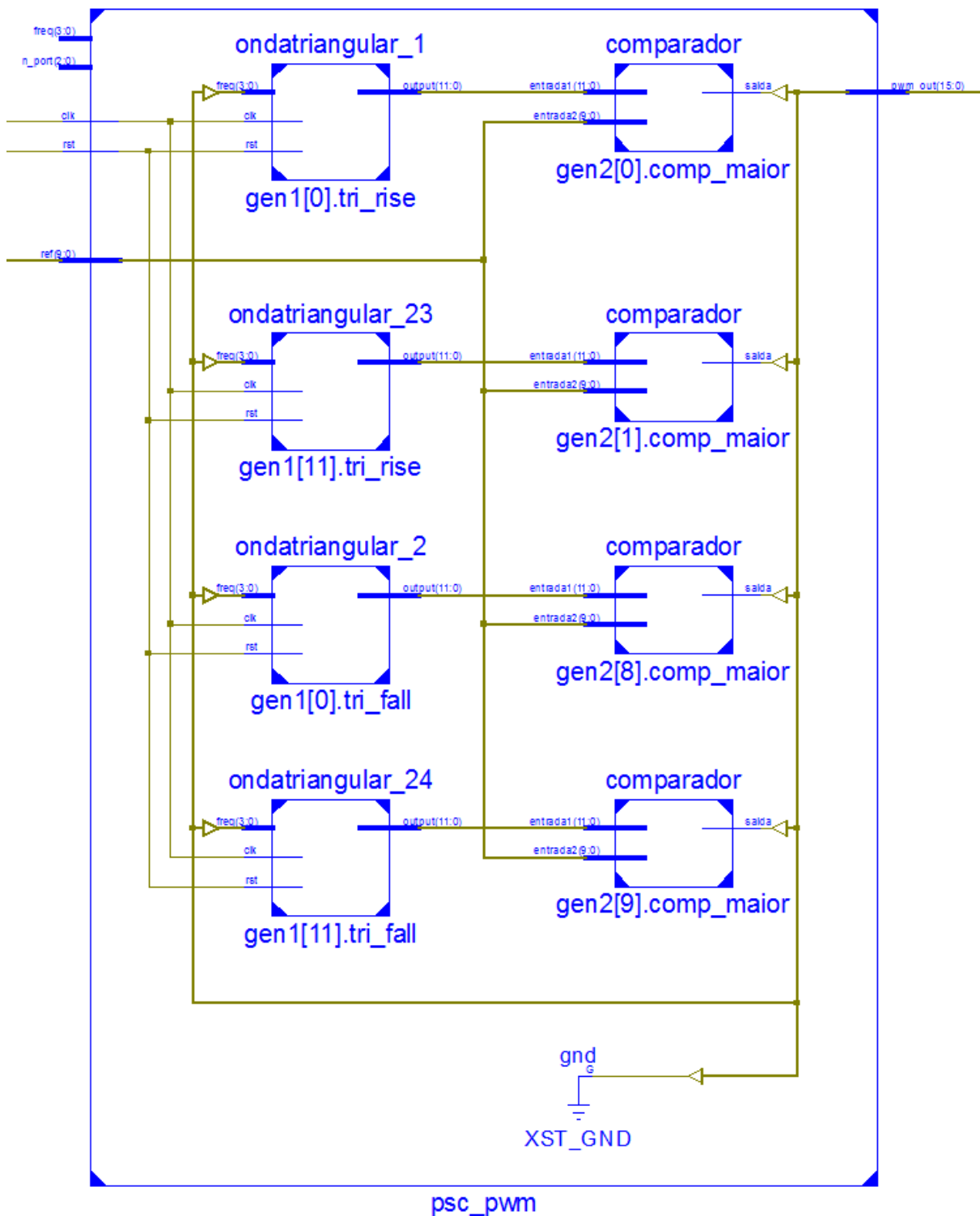
Figura 9: Diagrama do circuito de chaveamento do PSCPWM



Fonte: Produção do próprio autor.

Como pode ser observado acima, um gerador de sinal senoidal foi carregado dentro da FPGA facilitando a geração da modulação. Para utilizar um sinal externo seria necessário utilizar de conversor analógico digital, não disponível na Nexys2, a placa FPGA utilizada nesse projeto. Apesar da Figura 9 e da Figura 10 exibirem o diagrama para a modulação PSCPWM, o mesmo diagrama se aplica pra a modulação PDPWM. A diferença entre as duas modulações ficará evidente a seguir, onde os blocos de onda triangular e de geração da referência senoidal são detalhados. O bloco comparador, como o próprio nome deixa evidente, apenas realiza a comparação entre o valor da referência com a portadora e tem saída zero, quando o primeiro é maior que o segundo, e valor um caso contrário.

Figura 10: Detalhe dos componentes do PSCPWM



Fonte: Produção do próprio autor.

3.1 – Modulo Onda triangular

O gerador de onda triangular é um simples contador *up/down*. Ao atingir o valor máximo ou mínimo o contador muda o modo de operação e passa a decrementar ou incrementar respectivamente. Um comparador e um contador são utilizado para contar quantos ciclos de clock o contador demora para incrementar/decrementar. Alterando o parâmetro de comparação é possível aumentar ou diminuir a frequência da onda triangular. A amplitude do sinal (valor máximo e mínimo) é um fator que pode e deve ser definido pelo código VHDL, mas uma vez gerado o circuito este valor não pode ser alterado. Um bloco de memória ROM permite alterar o parâmetro de comparação a fim de alterar a frequência da onda triangular para alguns valores predefinidos. Os valores possíveis são descritos na tabela a seguir

Tabela 2: Valores de frequência possíveis para portadora

Parâmetro	Frequência
0000	300 Hz
0001	480 Hz
0010	600 Hz
0011	686 Hz
0100	800 Hz
0101	960 Hz
0110	1200 Hz
0111	1600 Hz
1000	2400 Hz
Outros valores	4800 Hz

Fonte: Produção do próprio autor.

O número de ciclos do sinal de *clock*, disponíveis na placa, que deve ser esperado para troca de valor da onda triangular é dado pela seguinte equação:

$$contador = clkfpga / (2 * f * (valmax - valmin)) \quad (2)$$

Onde,

contador = números de clock's da FPGA entre mudanças de valores da onda triangular;

clkfpga = valor de clock disponível na placa;

f = frequência desejada;

valmax = valor máximo da onda triangular;

valmin = valor mínimo da onda triangular.

A principal diferença na implementação de diferentes técnicas são quatro parâmetros utilizados na descrição do bloco, a saber, valor máximo (*max_val*), valor mínimo (*min_val*) e valor inicial (*initial_value*), e estado inicial (*initial_state*), conforme pode ser observado na Figura 11. Enquanto os dois primeiros podem ser utilizados para gerar defasagem em amplitude, os dois últimos são úteis para gerar defasagem no tempo entre as ondas triangulares.

Os códigos a seguir descrevem o laço repetitivo que permite utilizar uma descrição genérica de um gerador de onda triangular e criar os circuitos com as devidas diferenças entre si em função dos parâmetros citados

Figura 11: Detalhe da geração das ondas triangulares para PSCPWM

```

77 gen1: for p in 0 to (n_atr)/2-1 generate
78   -- todas as triangulares variam do valor maximo ao minimo
79   -- a diferença é o valor inicial
80   tri_rise:ondatriangular           -- triangulares crescentes
81     generic map ( max_val => 1024,
82                   min_val => 0,
83                   initial_value => (init_value(p)),
84                   initial_state => '1'
85                   )
86     port map( clk,rst,freq,triangular(p));
87
88   tri_fall:ondatriangular           -- triangulares decrescentes
89     generic map ( max_val => 1024,
90                   min_val => 0,
91                   initial_value => ( init_value( (n_atr)/2-p ) ),
92                   initial_state => '0')
93     port map( clk, rst,freq, triangular( (n_atr)/2+p ) );
94 end generate;
```

Fonte: Produção do próprio autor.

O estado inicial é um parâmetro importante para gerar a defasagem de 180° e determina se o componente começa em estado crescente (1) ou decrescente (0), com o valor inicial é possível controlar defasagens intermediárias (entre 0 e 180°). Os valores iniciais que permitem

diferentes defasagens foram calculados previamente e carregados em um vetor de valores iniciais (*init_value*). A defasagem é calculada pela seguinte equação:

$$\Theta = (i - 1) * \pi/n \quad (3)$$

Onde,

Θ = ângulo de defasagem;

i = índice da portadora;

n = número de módulos utilizado no conversor.

Com isso é possível determinar o valor de cada triangular em determinado instante no tempo e partindo disso implementar os circuitos de forma a sempre estarem defasados.

Na modulação PDPWM os valores iniciais serão diferentes para cada bloco, mas isso se deve ao fato de que os valores máximos e mínimos também são diferentes, para manter as características dessa modulação todos têm valor inicial igual ao mínimo e estado inicial crescente.

Figura 12: Detalhe da geração das ondas triangulares para PDPWM

```

79 gen1: for p in 0 to n_niveis-2 generate
80
81     tri_rise:ondatriangular                                -- triangulares crescentes
82     generic map ( max_val => ((p+1)*1024-1)/(n_niveis-1),
83                  min_val => p*1024/(n_niveis-1),
84                  initial_value => p*1024/(n_niveis-1),
85                  initial_state => '1'
86                 )
87     port map( clk, rst, freq, triangular(p) );
88
89 end generate;

```

Fonte: Produção do próprio autor.

3.2 – Modulo Onda senoidal

Este módulo consiste de uma memória ROM que armazena um vetor de 1020 amostras de um sinal senoidal de 60 Hz. Os valores foram obtidos através do *software* MATLAB com frequência de amostragem de 61.200 Hz sobre um ciclo completo da senoide cuja amplitude varia de 0 a 1023 em valores inteiros. O sinal de saída, como esperado, tem resolução de 10

bits. Um contador e um comparador são utilizados para selecionar o endereço da memória que contém o valor correto para o seno.

Um sinal de 6 bits (amp_i) é utilizado para controlar a amplitude e funciona como um fator de correção que permite ajustar a amplitude, em valor percentual do original, com resolução de até 1,5625 % (1/64). Pelas características da senoide original, sempre que o valor da amplitude é alterado os valores devem ser “recentrados” em 512. O valor na saída do bloco obedece a seguinte equação:

$$K = (amp_i) + 1$$

$$ref = K/64 * vetor(t) + (64 - K)/64 * 512$$

(4)

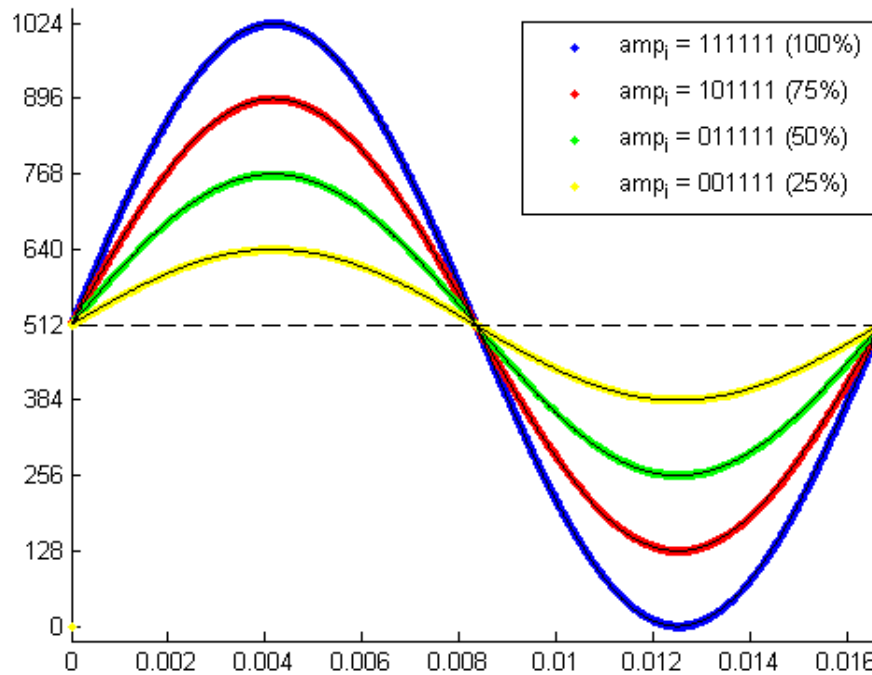
Onde,

ref = valor da senoide no instante t

$vetor(t)$ = valor a ser carregado da memória no instante t

Onde t é o índice que indica qual termo do vetor deve ser lido. O primeiro termo da equação ajusta a amplitude da senoide em degraus de 1,5625%, permitindo variar a amplitude final entre 0% e 100% da amplitude original, o segundo termo garante que a senoide continua centrada em 512. A Figura 13 apresenta os resultados obtidos para alguns valores de amp_i . A senoide em preto foi gerada externamente no MATLAB para efeito de comparação do fator de escala.

Figura 13: Senoides geradas no FPGA



Fonte: Produção do próprio autor.

3.3 – Modulo Central

Além de agregar os blocos citados anteriormente, o modulo central ainda tem a função de indicar o índice de modulação (m_a) e a frequência das portadoras triangulares de forma codificada no display de sete segmentos. Cada um desses valores é controlado por um par de chaves também disponíveis no FPGA. É possível alterar o valor dessas chaves a qualquer momento, entretanto do índice de modulação e a frequência das portadoras só ocorre após o pressionar de um botão que reinicia todos os contadores do sistema para funcionar sob a nova configuração.

Outro ponto a se destacar é que o FPGA é composto por *slices* que são combinados para criar diferentes circuitos. A seguir tem-se a tabela com o número de *slices* utilizados para implementar a modulação PSCPWM.

Tabela 3: Sumário de uso dos *slices* do FPGA

Sumário de Utilização do Dispositivo (valores estimados)			
Componentes lógicos	Usado	Disponível	Utilização

Número de <i>Slices</i>	518	8672	5%
Número de Slice Flip Flops	221	17344	1%
Número de LUTs de 4 entradas	978	17344	5%

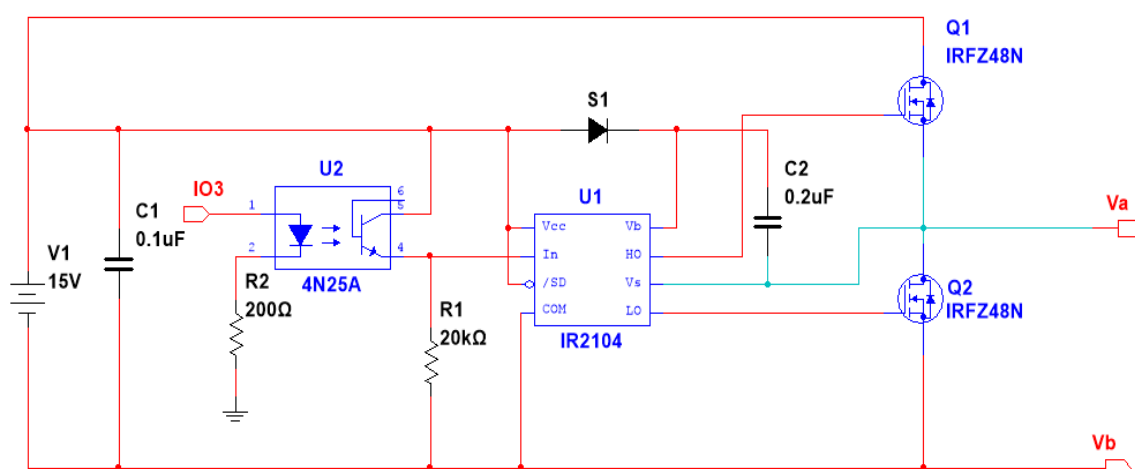
Fonte: Produção do próprio autor.

4 RESULTADOS

4.1 - O circuito

O MMC apresentado nesse trabalho é capaz de sintetizar cinco níveis de tensão, pois é composto de quatro módulos. As chaves semicondutoras escolhidas foram os MOSFET da família IRFZ48N com base na baixa resistência e na disponibilidade no mercado. Para cada meia ponte (ou célula) foi utilizado um CI – IR2104, que é justamente um driver de meia ponte para garantir o acionamento de cada transistor sem colocar a fonte em curto-circuito e garantir que o sinal de *gate* tenha tensão suficiente para acionar a chave. Como cada modulo opera em tensão flutuante, foi também utilizado um acoplador óptico (4N25) para que os sinais de acionamento na entrada destes CI's fossem compatíveis com a tensão a quais estarão submetidos. A figura a seguir ilustra o circuito completo de uma célula.

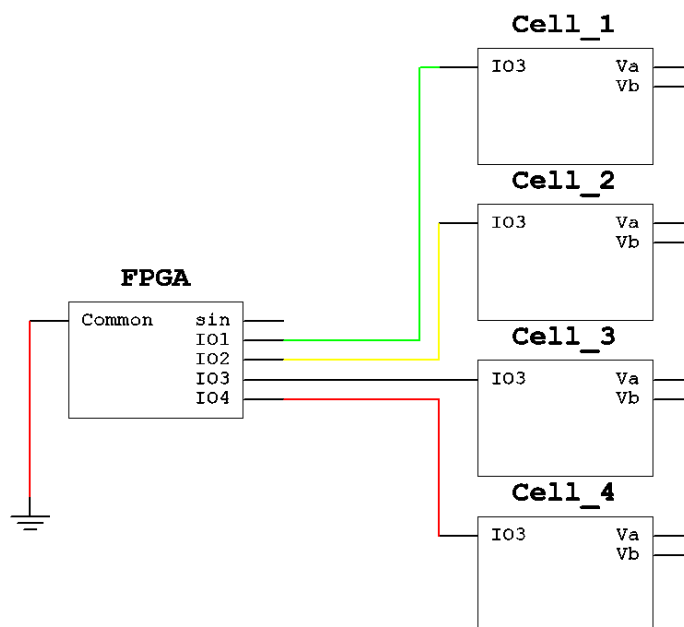
Figura 14: Circuito completo da célula básica



Fonte: Produção do próprio autor.

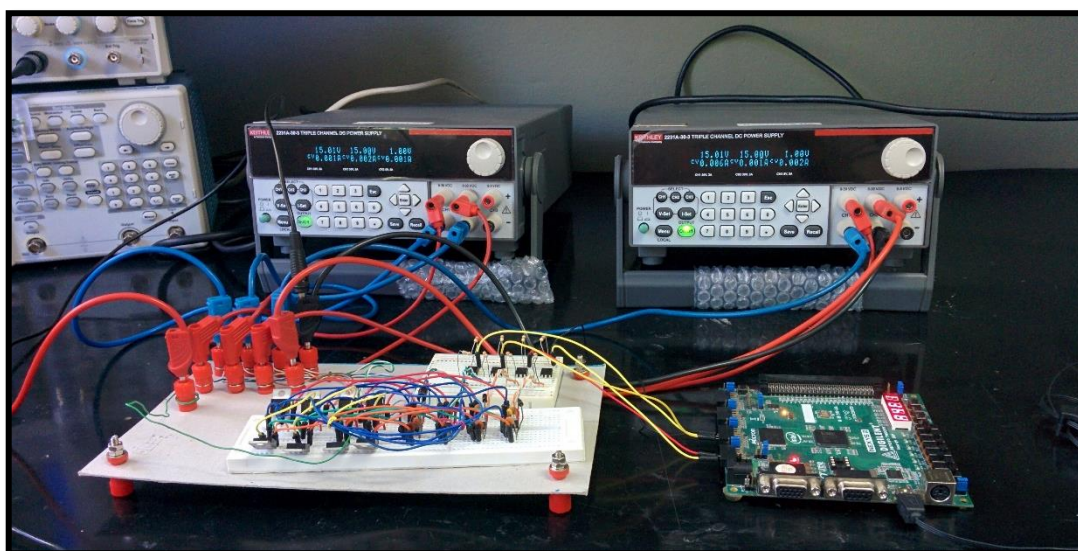
O diagrama do circuito completo é a composição desse circuito com a FPGA e pode ser observado na Figura 15. De forma complementar a Figura 16 e a Figura 17 mostra a bancada onde foram realizados os experimentos descritos.

Figura 15: Interconexão de todos os elementos



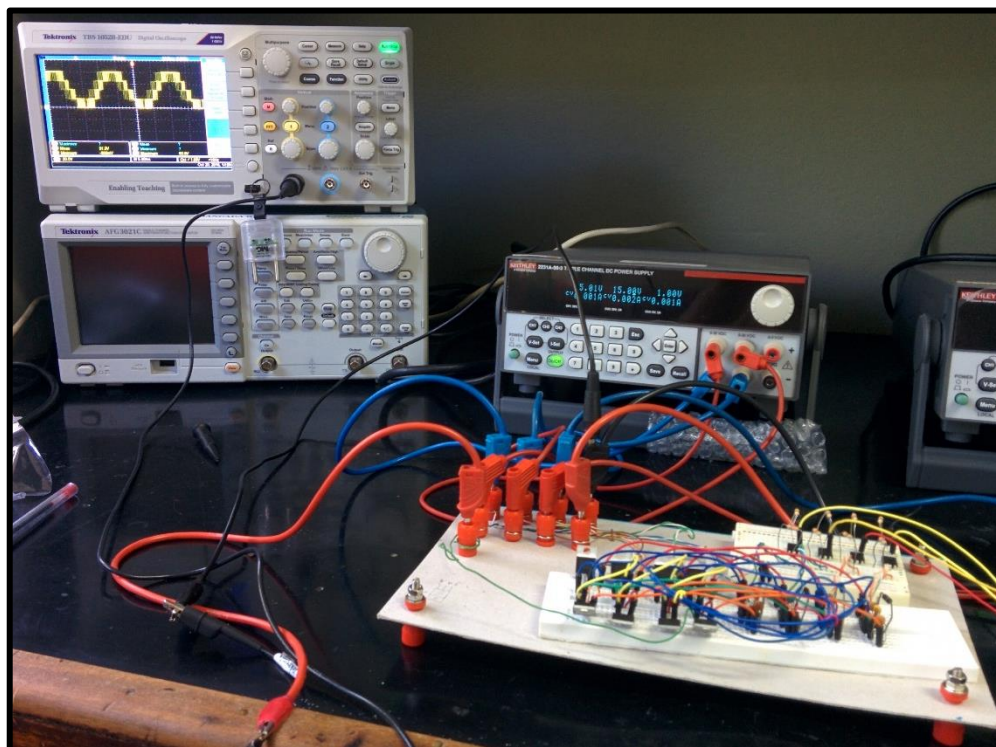
Fonte: Produção do próprio autor.

Figura 16: Circuito do conversor, FPGA e fontes de tensão



Fonte: Produção do próprio autor.

Figura 17: Circuito do Conversor e Osciloscópio

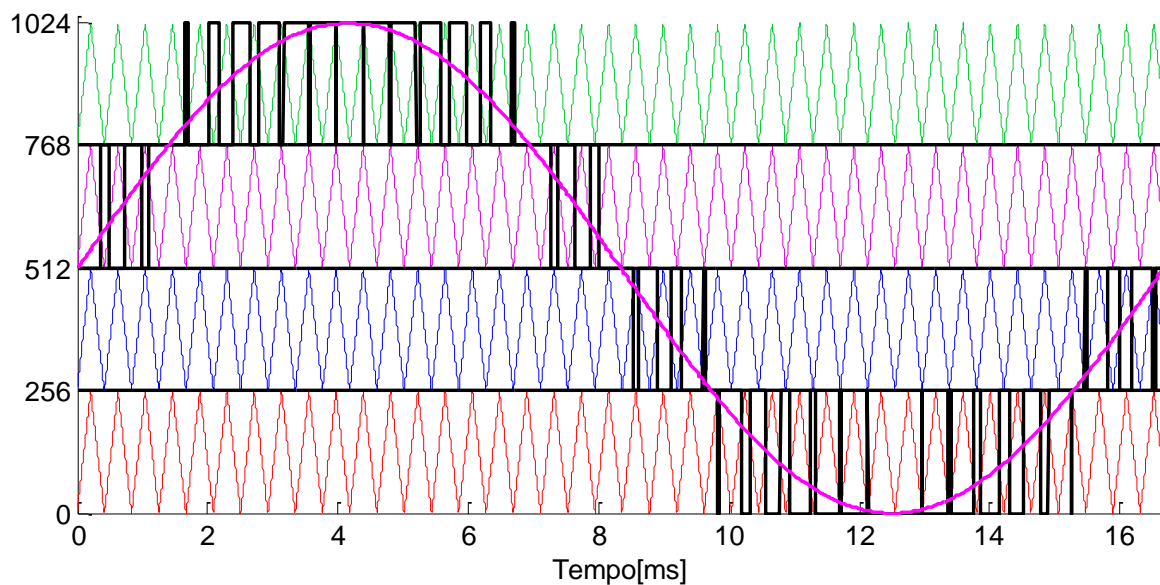


Fonte: Produção do próprio autor.

4.2 – Modulação PDPWM

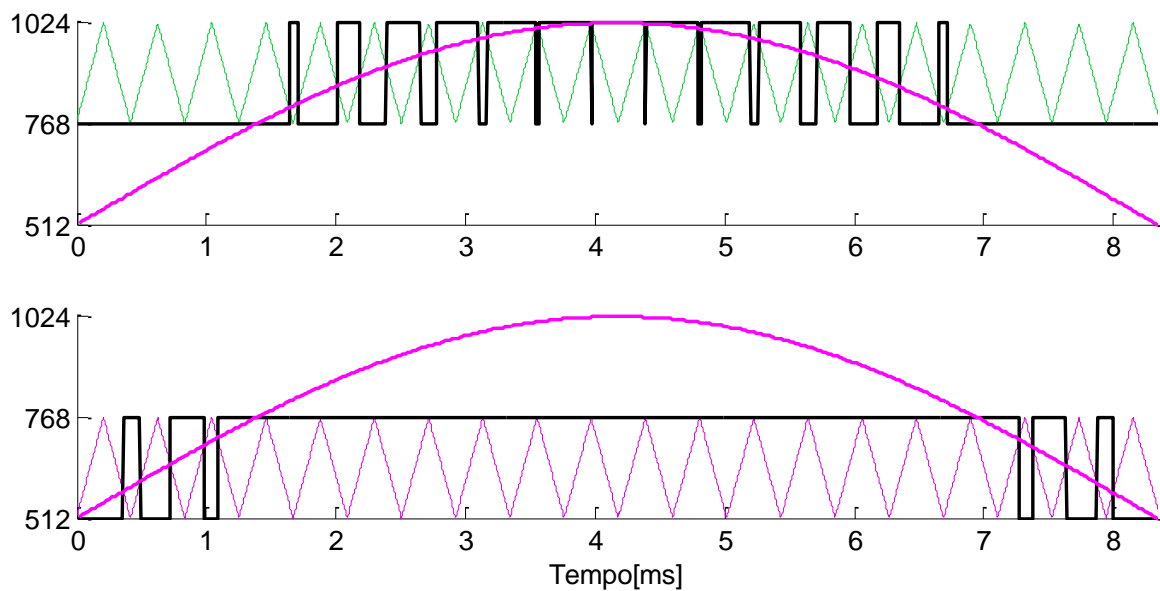
Para a modulação PDPWM os sinais de disparo de cada célula estão ilustrados na Figura 18, na Figura 19 e na Figura 20. Quando o sinal da portadora for maior que a senoide de referência o sinal de disparo assume valor logico zero, caso contrário assume valor logico um. A disposição dos trens de pulso na Figura 18 ajuda a visualizar o formato final do sinal de tensão obtido no conversor através do uso dessa modulação.

Figura 18: Sinal de chaveamento, senoide e portadoras para modulação PDPWM



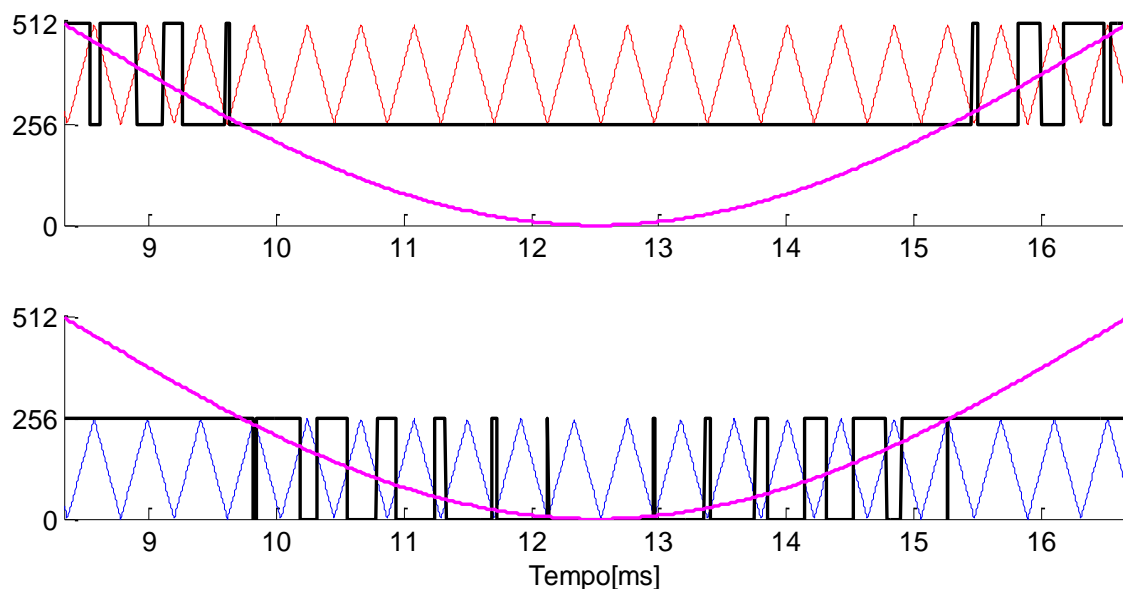
Fonte: Produção do próprio autor.

Figura 19: Detalhe do chaveamento no semiciclo positivo



Fonte: Produção do próprio autor.

Figura 20: Detalhe do chaveamento no semiciclo negativo



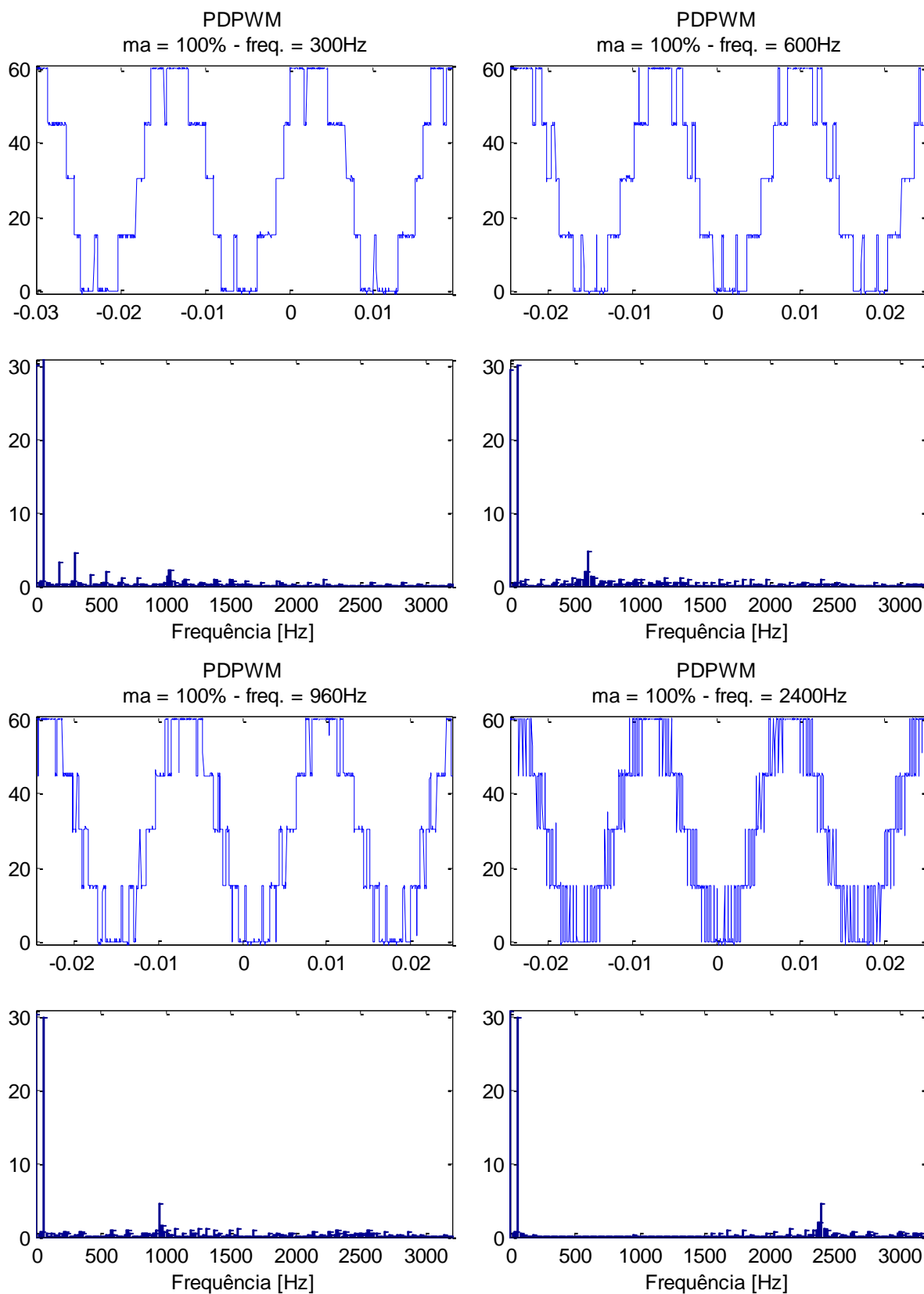
Fonte: Produção do próprio autor.

O sinal obtido com osciloscópio na saída do circuito pode ser observado na Figura 21. Todos os pontos foram obtidos no osciloscópio Tektronix TBS1052B-EDU e o espectro harmônico foi realizado por uma FFT implementada no MATLAB.

4.2.1 – Análise da variação da frequência da portadora

O primeiro conjunto de resultados é relativo a mudança do índice de modulação de frequência, nos valores de 300 Hz, 600 Hz, 960 Hz e 2400 Hz. É fácil notar na Figura 21 tanto, no resultado da saída do conversor quanto no espectro de frequência, o aumento do número de chaveamentos por ciclo e o deslocamento do conteúdo harmônico.

Figura 21: Sinal de tensão e espectro harmônico sob modulação PDPWM com variação da frequência da portadora



Fonte: Produção do próprio autor.

Neste caso, como citado anteriormente, o aumento da frequência da portadora leva ao aumento da frequência de chaveamento e conseqüente deslocamento do conteúdo harmônico. Conseqüentemente o conteúdo harmônico do conversor se concentra em torno da frequência de chaveamento do mesmo.

4.2.2 – Análise da variação do índice de modulação - PDPWM

Esta análise se refere à alteração do índice de modulação de amplitude de valores a partir de 100%, 93%, 84% e 80%, mantendo a frequência de chaveamento em 2400 Hz. Neste caso não existe deslocamento das harmônicas no espectro de frequências. Entretanto, a amplitude do sinal fundamental (60 Hz) sofre um aumento de potência com o aumento do índice de modulação. Estas informações podem ser observadas na Figura 22.

A escolha do índice de modulação é justificada ao se efetuar a análise da Figura 18, podendo-se observar que caso o índice de modulação seja inferior a 75% este conversor perde um dos níveis. Isto ocorre pelo fato do sinal da portadora (de cor verde neste caso) ser sempre superior ao da senoide, logo o sinal de chaveamento será zero, e um dos módulos nunca será acionado. A fim de evitar que um dos módulos não seja acionando os valores utilizados são superiores a este limite. Para um conversor de n níveis de tensão temos a seguinte equação que define o menor índice de modulação possível a fim de evitar perda de níveis:

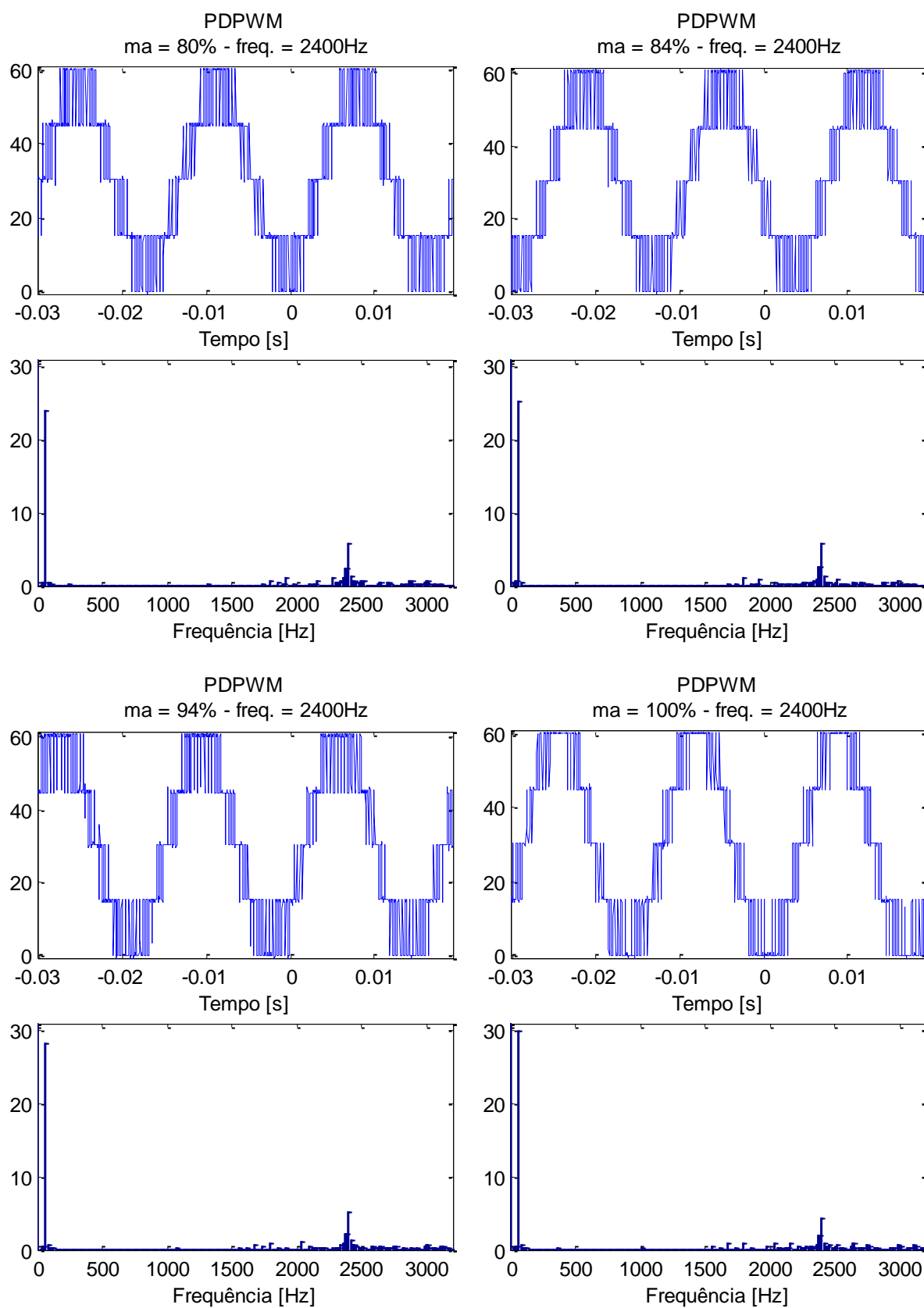
$$m_{a_min} = 100\% - 100\% / (n - 1) \quad (5)$$

Onde,

m_{a_min} = valor mínimo do índice de modulação de amplitude;

n = número de níveis de tensão do conversor.

Figura 22: Sinal de tensão e espectro harmônico sob modulação PDPWM com variação do índice de modulação



Fonte: Produção do próprio autor.

Quando a frequência de chaveamento se mantém constante, o conteúdo harmônico não se desloca e é possível observar efeito da alteração do índice de modulação. O conteúdo harmônico permanece concentrado em 2400 Hz, mas a magnitude da componente fundamental se torna maior conforme o aumento do índice analisado.

4.3 – Modulação PSCPWM

Na Figura 23, na Figura 24 e na Figura 25 é possível observar os sinais de acionamento em relação à portadora e o sinal senoidal de referência na modulação PSCPWM. Neste caso existe mais chaveamento por ciclo mesmo com uma frequência de portadora menor, essa característica já é esperada pois as amplitudes de todas as portadoras são idênticas a amplitude da senoide de referência. A frequência de chaveamento final é dada pela seguinte equação:

$$f_c = f_{tri} * (n - 1) \quad (6)$$

Onde,

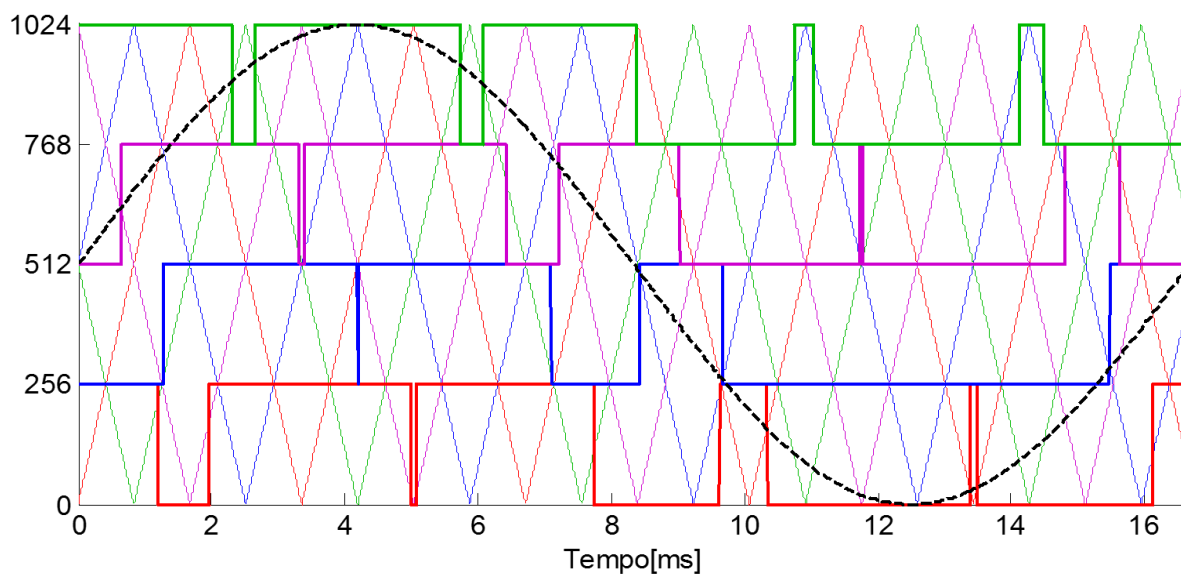
n = número de níveis de tensão do conversor;

f_c = frequência de comutação do conversor;

f_{tri} = frequência da portadora.

Com isso todos os módulos do circuito estão chaveando praticamente durante todo o ciclo da senoide. Devido a isso, nesta modulação, diferente da modulação PDPWM, torna mais difícil a previsão do valor de saída do conversor apenas pelos sinais de acionamento da Figura 23. Esta figura mostra um ciclo da senoide com índice de modulação de 100% e frequência da portadora de 300 Hz.

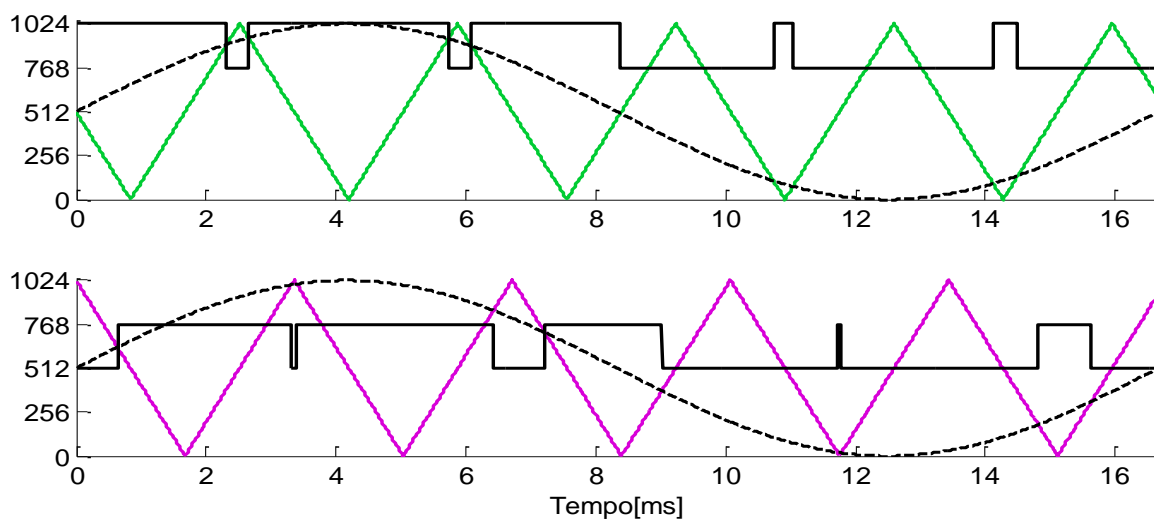
Figura 23: Sinal de chaveamento, senoide e portadoras para modulação PSCPWM



Fonte: Produção do próprio autor.

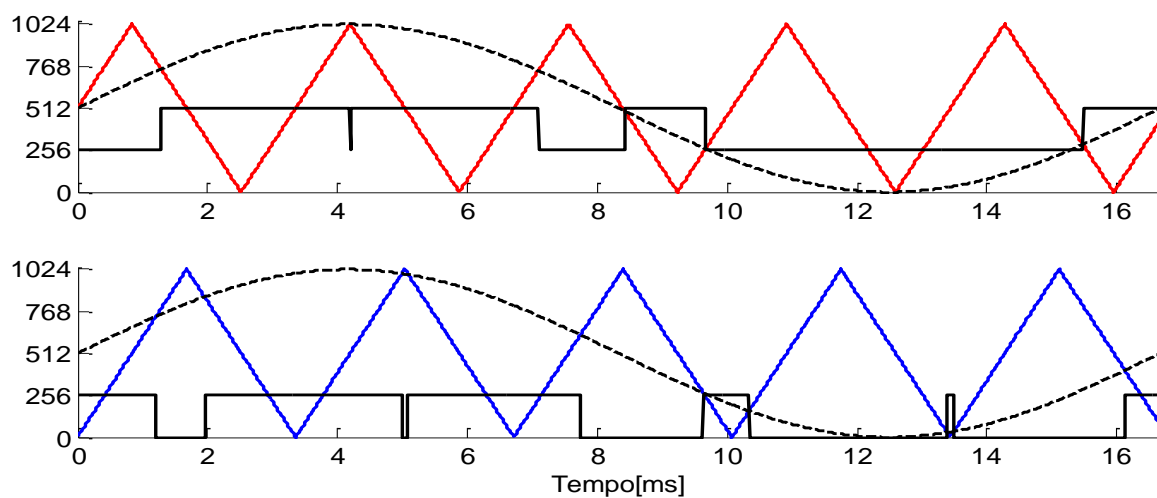
Nas imagens a seguir é possível observar melhor que todos os módulos estão chaveando durante todo o ciclo, diferente da modulação anterior onde os módulos só chaveiam durante uma parte do ciclo.

Figura 24: Detalhe do chaveamento da modulação PSCPWM para os módulos 1 e 2



Fonte: Produção do próprio autor.

Figura 25: Detalhe do chaveamento da modulação PSCPWM para os módulos 3 e 4

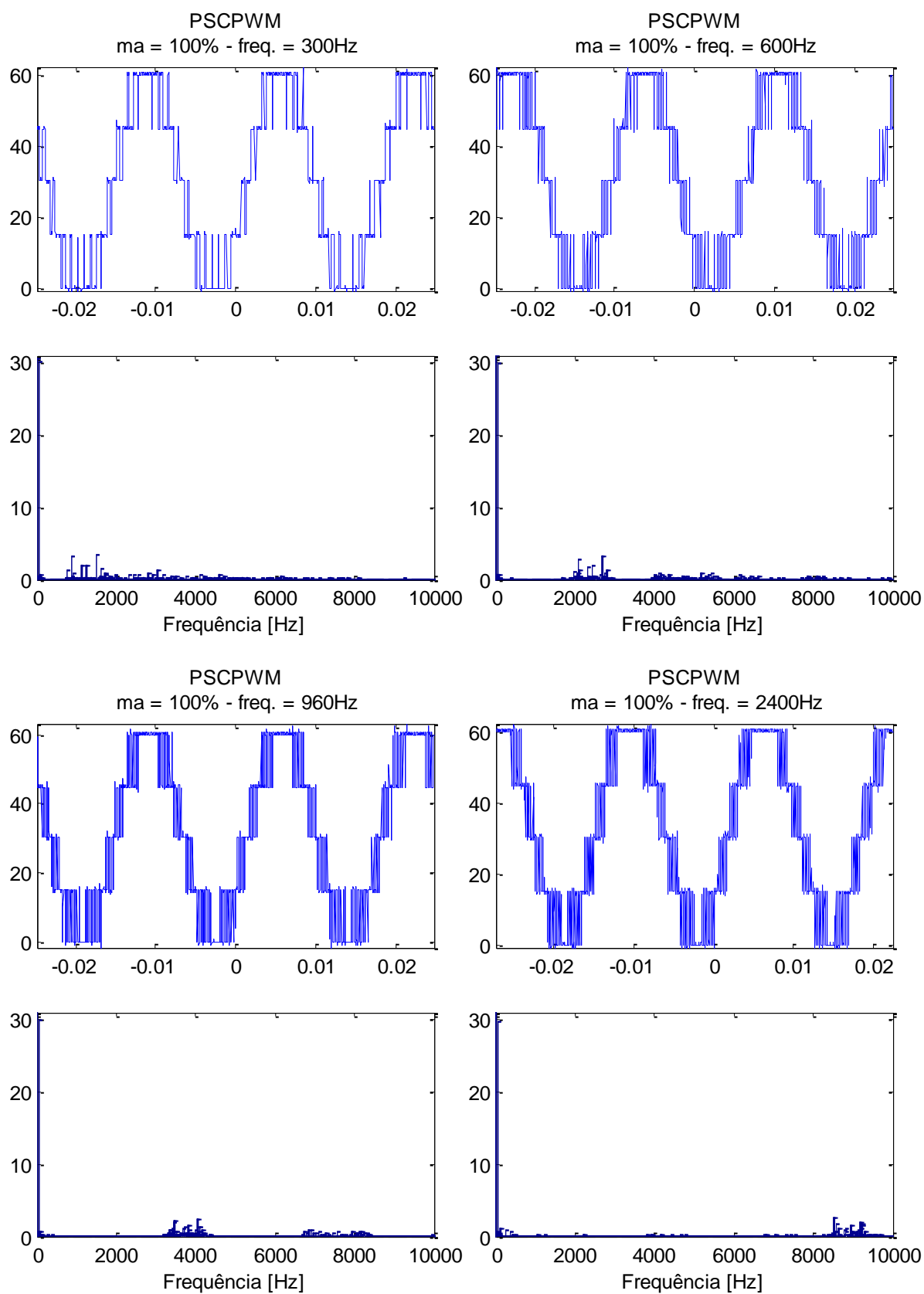


Fonte: Produção do próprio autor.

4.3.1 – Análise da variação da frequência da portadora

Mantendo o padrão do experimento, a Figura 26 traz os resultados relativos a mudança do índice de modulação de frequência, nos valores de 300 Hz, 600 Hz, 960 Hz e 2400 Hz. Novamente o conteúdo harmônico é deslocado conforme a frequência de cada portadora aumenta.

Figura 26: Resultado da modulação PSCPWM com variação da frequência da portadora



Fonte: Produção do próprio autor.

Neste caso a alteração que se observa como consequência da mudança de técnica de modulação é que neste caso, ainda que as frequências de chaveamento sejam as mesmas utilizadas na PDPWM o conteúdo harmônico foi deslocado numa proporção maior. De fato, como esperado por essa modulação, o conteúdo harmônico ficou concentrado em torno de um valor quatro vezes superior a frequência de cada portadora por se tratar de conversor de cinco níveis. Este valor é o mesmo da frequência final de chaveamento da equação (6).

4.3.2 – Análise da variação do índice de modulação - PSCPWM

Para a análise da variação do índice de modulação foram utilizados os valores de 100%, 94%, 84% e 80%, mantendo a frequência de chaveamento em 600 Hz. Neste caso o índice de modulação mínimo é dado pela seguinte equação:

$$m_{a_min} = 100\% - 200\% / (n - 1) \quad (7)$$

Onde,

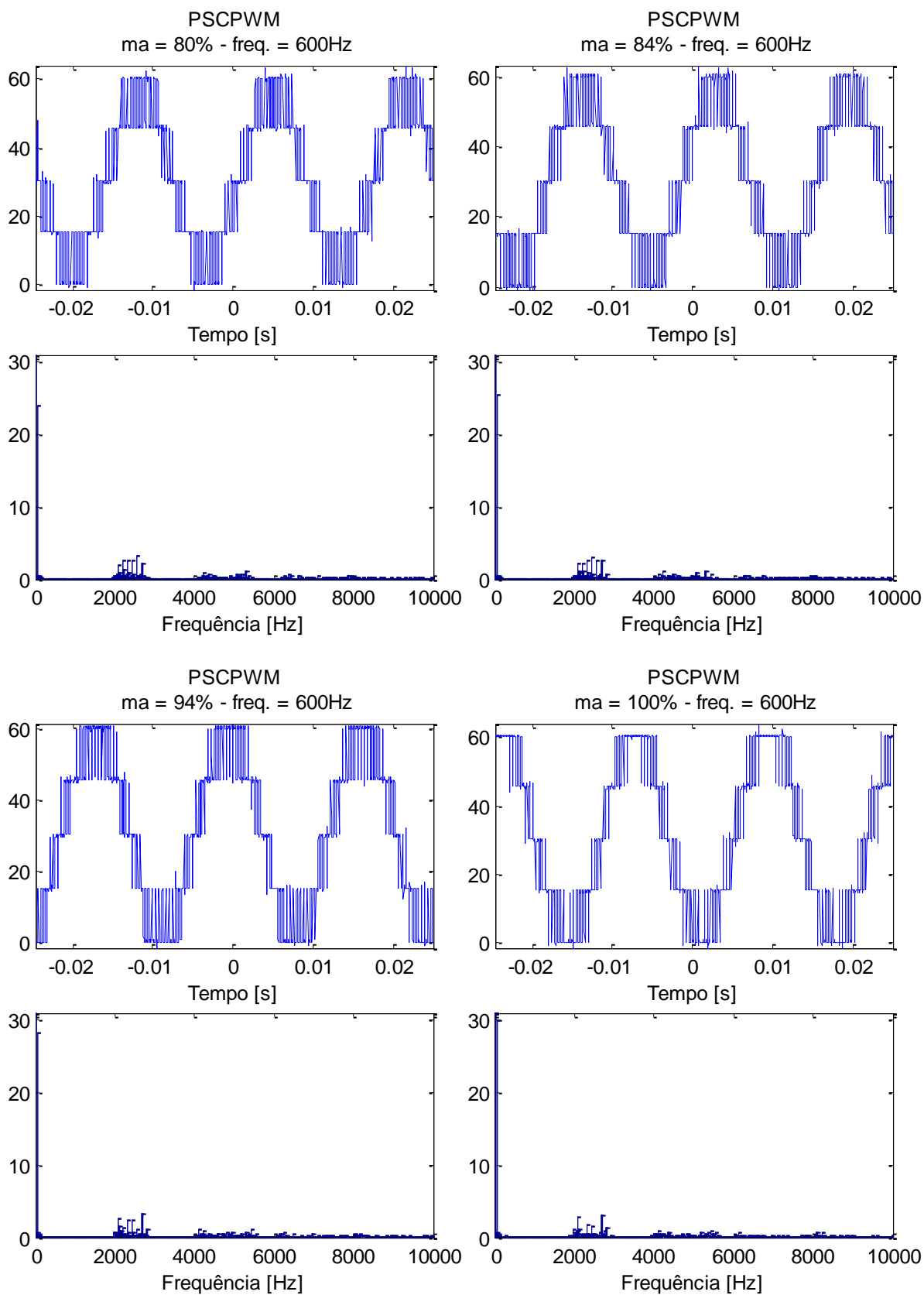
m_{a_min} = valor mínimo do índice de modulação de amplitude;

n = número de níveis de tensão do conversor.

Entretanto os valores utilizados foram os mesmos da modulação PDPWM a fim de manter a compatibilidade dos resultados.

Observar que assim como na modulação anterior não existe deslocamento das harmônicas no espectro de frequências. Entretanto, a amplitude do sinal fundamental (60 Hz) sofre um aumento de potência com o aumento do índice de modulação tal qual a modulação PDPWM. Estas informações podem ser observadas na Figura 27.

Figura 27: Resultado da modulação PSCPWM com variação do índice de modulação



Fonte: Produção do próprio autor.

4.4 – Levantamento do THD

A fim de comparar os resultados de ambas modulações será utilizado a taxa de distorção harmônica total (*Total Harmonic Distortion* - THD). As frequências explicitadas na Tabela 4 são equivalentes a frequência das portadoras triangulares. Entretanto para comparar o valor da THD entres as diferentes modulações seria necessário que ambos os conversores estejam chaveando na mesma frequência. Como é possível observar nos resultados anteriores devido as características de cada modulação o número de chaveamento do conversor é diferente da frequência das portadoras triangulares. Neste raciocínio para que o conversor de quatro níveis esteja chaveando com a mesma frequência, as portadoras triangulares da modulação PSCPWM deve ser um quarto da frequência das portadoras da modulação PDPWM. Por fim a Tabela 4 mostra os valores obtidos com um THD menor para a modulação PSCPWM.

Tabela 4: Comparação do THD entre as modulações

	PDPWM - 2400Hz	PSCPWM - 600Hz
80%	36,36	33,27
84%	33,64	28,46
94%	31,02	23,00
100%	30,32	26,82

Fonte: Produção do próprio autor.

5 CONCLUSÃO

Neste trabalho foi apresentado o desenvolvimento de um conversor multinível modular de cinco níveis capaz de fazer a conversão CC-CA com baixo conteúdo harmônico utilizando MOSFET. Durante a implementação do conversor multinível diversas simplificações que geralmente são feitas em modelos e simulações tiveram que ser tratadas a fim de adequar os sinais de disparo dos transistores. Foi constatada a necessidade de implementação drives de meia ponte e acopladores óticos para adequar os sinais de chaveamento à estrutura que se propõem. Também foi implementado numa FPGA as técnicas de modulação PDPWM e PSPWM e foi possível observar os efeitos da variação do índice de modulação e da frequência das portadoras.

No primeiro caso, com o aumento do índice de modulação é possível observar o aumento da amplitude do sinal em frequência fundamental. No segundo caso, o aumento da frequência das portadoras desloca o conteúdo harmônico no sentido de crescimento das frequências. Estes efeitos se mantêm para ambas as formas de modulação, embora este deslocamento ocorra em proporções diferentes mantendo as características específicas de cada modulação. Nesse sentido é possível notar uma vantagem da modulação PSCPWM, pois tem um deslocamento proporcional ao número de módulos, enquanto que na modulação PDPWM não existe essa relação com o número de módulos, apenas com a frequência da portadora triangular. A vantagem dessa modulação se mantém na análise do THD que mostra uma vantagem de 3% a 8%.

Uma série de trabalhos poderiam ser feitos como continuidade ao aqui presente, como o levantamento do modelo dos conversores e o projeto do controle em malha fechada. A avaliação do conversor sob a demanda de diferentes cargas e a implementação do inversor com três fases também são opções de projetos futuros.

BIBLIOGRAFIA

CAMARGO, R. S. **Desenvolvimento matemático de MMC utilizando a estratégia de chaveamento PSCPWM**. 2015. Dissertação (Mestrado em Engenharia Elétrica) – Universidade Federal do Espírito Santo, Centro Tecnológico. Vitória. 2015.

CARRARA, G. et al. A New Multilevel PWM Method: A Theoretical Analysis. **IEEE Transactions on Power Electronics**, v. 7, n. 3, p. 407-505, 1992.

CARRARA, G. et al. Optimal PWM for the control of multilevel voltage source inverter. **Conf. Rec. European Power Electronics Conf (EPE)**, Brighton, 1993.

DIGILENT. Nexys 2 Reference Manual, 2010. Disponível em: <<https://reference.digilentinc.com/reference/programmable-logic/nexys-2/reference-manual>>. Acesso em: 10 out 2016.

ENCARNAÇÃO, L. F. **Compensador Sincrono Estático Multinível em Média tensão para sistemas de Distribuição**. 2009. Tese de Doutorado - COPPE/UFRJ. Rio de Janeiro. 2009.

HOLMES, D. G.; LIPO, T. A. **Pulse Width Modulation for Power Converters - Principles and Practice**. 2. ed. New York: John Wiley & Sons, Inc., 2003.

HOLMES, D. G.; MCGRATH, B. P. Opportunities for Harmonic Cancellation with Carrier-Based PWM for a Two-Level and Multilevel Cascaded Inverters. **IEEE Transactions on Industry Applications**, v. 3, p. 574-582, março/abril 2001.

LAI, J. S.; PENG, F. Z. Multilevel Converters - A New Breed o Power Converters. **IEEE Transactions on Industry Applications**, v. 32, n. 3, p. 509-517, maio/junho 1996.

LEE, Y. H.; KIM, R. Y.; HYUN, D. S. A Novel SVPWM Strategy Considering DC-Link Balancing for a Multi-Level Voltage Source Inverter. **Applied Power Electronics Conference and Exposition**, v. 1, n. 4, p. 509-514, março 1999.

LI, L. et al. Multilevel Selective Harmonic Elimination Technique in Series-Connected Voltage Inverter. **IEEE Transactions on Industrial Electronics Applications**, v. 36, p. 875-881, agosto 2002.

NABAE, A.; TAKAHSHI, I.; AKAGI, H. A new neutral-point-clamped PWM inverter. **IEEE Transactions on Industry Applications**, v. 17, n. 5, p. 518-523, 1981.